

【特許請求の範囲】

【請求項1】 受信した無線周波数信号を帯域制限、増幅、周波数変換するアナログ信号処理部と、該アナログ信号処理部の出力信号をデジタル信号に変換するA/D変換部と、該デジタル信号を処理するデジタル信号処理部を有するダイレクトコンバージョン受信機において、前記アナログ部の入力レベルを一定に保つように制御するAGC手段であって、I成分とQ成分とを同時に動作させるAGC手段と、I成分とQ成分のうち何れか一方を動作させるAGC手段とを具備し、I成分とQ成分のレベル偏差を低減させるように構成したことを特徴とするダイレクトコンバージョン受信機。

【請求項2】 請求項1に記載のダイレクトコンバージョン受信機において、前記AGC手段は、受信した信号をシンボル点ごとにサンプリングし、シンボル点の位置を算出し、このシンボル点が規定値と比較し同一となるように制御せしめるAGC手段であることを特徴とするダイレクトコンバージョン受信機。

【請求項3】 請求項2に記載のダイレクトコンバージョン受信機において、同心円上にシンボル点が配置される変調方式において、I成分とQ成分の比より振幅偏差を求め、比が同じになるようにI成分とQ成分のうち何れか一方を動作させるAGC手段を具備することを特徴とするダイレクトコンバージョン受信機。

【請求項4】 請求項2に記載のダイレクトコンバージョン受信機において、同心円上にシンボル点が配置される変調方式において、I成分とQ成分とから位相角を算出し、位相角が正しい位相角となるようにI成分とQ成分のうち何れか一方を動作させるAGC手段を具備することを特徴とするダイレクトコンバージョン受信機。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、無線通信システムにおいて、使用可能な基地局、車載局、携帯局に組み込まれるダイレクトコンバージョン受信機及びこれを用いた無線通信システムに係り、特に、ダイレクトコンバージョン受信方式及びLOW-IF受信方式を用い、受信レベルを検出して一定レベルで受信するためのAGC機能を備える受信機及びこれを用いた無線通信システムに関するものである。

【0002】

【従来の技術】近年の無線通信システムの高度化と複雑化により、1つの受信装置において、複数の無線通信システムに対応可能なハードウェアが求められている。その中で、ダイレクトコンバージョン受信方式は、小型化、低価格化の効果もあり、注目を浴びている。以下、図2を用いて、ダイレクトコンバージョン受信機の構成

と動作原理を説明する。

【0003】図中、アンテナ1から入力される受信信号は、バンドパスフィルタ2に入力され、所望の周波数帯域の信号を通過させる。妨害波を除去した信号は、RF増幅器3に入力され、直交復調器5で同相(I)、直交(Q)成分に分離される。直交復調器5は、分配器4、ミキサ6-1、6-2、90度移相器8で構成される。直交復調器5に入力された信号は、分配器4により、電力を2分配される。PLL周波数シンセサイザ18より入力された搬送波信号の一方は、ミキサ6-1へ、もう一方は90度移相器8を経てミキサ6-2に入力される。90度位相が異なる搬送波信号のミキシングにより、同相成分I信号と直交成分Q信号が得られる。

【0004】I、Q信号は、それぞれ、ローパスフィルタ9-1、9-2で不要成分が除去され、AGCアンプ10-1、10-2に入力される。AGCアンプ10-1、10-2は、入力信号レベルが大きい場合にはゲインを小さく、入力信号レベルが小さい場合はゲインを大きくするように制御し、A/Dコンバータ11-1、11-2に入力される信号レベルが最適なレベルとなるように動作する。

【0005】A/Dコンバータ11-1、11-2でデジタル信号に変換された信号は、ベースバンド処理部15で符号再生等の処理がなされる。ダイレクトコンバージョン方式では、入力信号と搬送波周波数(LO)が一致しているため、LOリーク信号はミキシングによりそのままDC成分となり復調処理において性能劣化をもたらす。このため、DCオフセット補正処理が必要となる。図2では、I/Q入力信号からDC検出補正部16を用いてオフセットを検出し、このオフセット分をキャンセルするようなDC電圧をD/Aコンバータ12-1、12-2で発生させ、加算器7-1、7-2に加算することによりDCオフセットを補正する。

【0006】AGC処理部17では、入力信号のレベルにより、AGCアンプ10-1、10-2の制御を行う。検出した受信レベルに対応して所望のゲインが得られるよう制御電圧を出力し、AGCアンプ10-1、10-2のゲインを調整して入力レベル一定となるように制御を行う。以上の制御によって、受信特性の劣化を防ぐことが可能になる。

【0007】

【発明が解決しようとする課題】一般に、RF帯域のみでのAGC動作はベースバンド帯域での高ゲインを必要とする。そのため、ベースバンド帯域内の雑音も増幅することとなる。従って、受信入力レベルが十分確保できる場合は、出来るだけベースバンド帯のゲインを低いゲインで動作させる必要が有る。

【0008】したがって、従来のダイレクトコンバージョン受信機のように、I、Q分離がなされた場合、それぞれ別にAGCアンプが必要となるため、I、Q間で振

幅偏差を生じ易くなる。I、Q間の振幅偏差が発生すると、受信特性が著しく劣化（ビットエラーレートの増加）する問題があった。

【0009】

【課題を解決するための手段】本発明は、上記の問題を解決するために、I、Qの復調信号のシンボル位置を検出し、一定になる様、I（又はQ）のみを補正することで、I、Q間の振幅偏差による受信特性の劣化を防ぎ、安定に動作させることができるダイレクトコンバージョン受信機を提供することを目的とする。

【0010】

【発明の実施の形態】以下、図面を参照して、本発明の実施例を説明する。図1は本発明によるダイレクトコンバージョン受信機の構成例を示すブロック図である。図中、アンテナ1から入力される受信信号は、バンドパスフィルタ2に入力され、所望の周波数帯域の信号を通過させる。妨害波を除去した信号は、RF増幅器3に入力され、直交復調器5で同相（I）、直交（Q）成分に分離される。直交復調器5は、分配器4、ミキサ6-1、6-2、90度位相器8で構成される。直交復調器5に入力された信号は、分配器4により電力を2分配される。PLL周波数シンセサイザ18より入力された搬送波信号の一方は、ミキサ6-1へ、もう一方は90度移相器8を経てミキサ6-2に入力される。90度位相が異なる搬送波信号のミキシングにより、同相成分I信号と、直交成分Q信号が得られる。

【0011】I/Q信号はそれぞれ、ローパスフィルタ9-1、9-2で不要成分が除去され、AGCアンプ10-1、10-2に入力される。AGCアンプ10-1、10-2は、入力信号レベルが大きい場合にはゲインを小さく、入力信号レベルが小さい場合はゲインを大きくするように動作し、A/Dコンバータ11-1、11-2に入力される信号レベルが最適なレベルとなるように制御することで、ダイナミックレンジが確保できる。A/Dコンバータ11-1、11-2で、デジタル信号に変換された信号は、ベースバンド処理部15で符号再生等の処理がなされる。DCオフセット補正処理のため、DC検出補正部16でI、Q入力信号からオフセットを検出し、D/Aコンバータ12-1、12-2を制御し電圧を発生し、このオフセット電圧をキャンセルする。

【0012】次に、AGC動作について、図3、図4を用いて説明する。図3（1）はQPSK信号を復調した場合のシンボル点配置を示す。図3において、復調したI、Q信号にゲイン差がない場合は、（1）のように、I、Qのシンボル点が等間隔に同心円上に並ぶ。しかし、I、Qにゲイン差があった場合は、（2）に示すように、IとQの振幅に差が生じ楕円となる。そこで、このゲイン差を補正するための補正機能が必要となる。

【0013】更に、入力レベル変動に対して動作させる

AGC方式について簡単に説明する。図4は、図1で示したデジタル処理部14で示したベースバンド処理回路の一部である遅延検波回路とAGC処理部17を示す。図1のA/D11-1、A/D11-2に入力されたI、Qベースバンド信号は、図4に示すタイミング抽出回路21により、シンボルクロックが再生される。このクロックを用い、シンボルサンプリング回路20-1、20-2でシンボル点ごとにデータがサンプリングされ、遅延検波回路22に入力される。遅延検波回路22により信号が検波される。

【0014】遅延検波回路22は、遅延器23-1、23-2、23-3、乗算器24-1、24-2、24-3、24-4、加算器25-1、25-2で構成され、現シンボルと1シンボル前の信号とから差動符号化された信号を復号する。このあと、極性判定等によりデータが再生される。また、A/D11-1、A/D11-2に入力されたI、Qベースバンド信号はレベル検波及びAGC制御回路部27に入力され、受信レベルを検出する。検出した受信レベルに対応して、D/A19を制御して、AGC電圧を変えて受信レベルが一定となるように制御を行う。

【0015】次に本発明によるI、Q偏差発生時のAGC動作について説明する。シンボルごとに、サンプリングされた信号の一部は、シンボル点検出器26に入力される。ここではシンボル点の位置を計算し、あらかじめ算出している期待値と比較し、異なっている場合は、一定値となるようQ側のみゲインを可変する（またはI側のみ）。本実施例では、乗算器29に入力されたQ信号に対し定数を掛け合わせることでゲイン偏差を補正する。QPSKや $\pi/4$ シフトQPSK等の変調方式では、同一の位相角をもつシンボルがないため、シンボル点での位相角を検出することで、I、Q偏差を容易に検出することが出来る。

【0016】図3はQPSK変調の例である。図3

（1）の様にI、Qにゲイン差が無い場合は、各シンボル点は距離 $\sqrt{2}$ で45度、135度、225度、315度の位相角をとることが分かる。しかし、今、Qが $\sqrt{3}$ 倍の振幅誤差を発生したとすると、図3（2）のようなシンボル点配置となる。シンボルの距離だけを見た場合、各シンボル（a、b、c、d）は距離「2」で等しいが位相角を見ると、シンボルaでは60度となり45度の期待値からずれていることがわかる。そこで、Iを固定して、Q側を（1/ $\sqrt{3}$ ）倍にすることで振幅誤差の補正が出来る。シンボル点検出器26では、復調したI、Qの信号 x_2 、 y_2 から、位相角 ϕ （ $\text{ATAN}(y_2/x_2)$ ）を算出することで、シンボル位置の期待値45度、135度、225度、315度とのずれを算出する。

【0017】また、QPSKのように、I、Qの振幅値の絶対値が等しい場合は、 $|x_2|$ 、 $|y_2|$ の比較で

もゲイン差を算出できる。このように、同心円上にシンボル点が配置された変調方式では、位相角を算出することで、I、Qの振幅偏差を検出することができる。

【0018】また、補正の場所は、デジタル処理部に限定する必要はなく、アナログ部（D/Aに入力される前）でも可能である。

【0019】

【発明の効果】本発明によれば、復調したI、Q信号の振幅差が発生してもシンボル点での位相角を所定の値に保つように制御することで、I、Q振幅誤差を最小にすることができ、ダイレクトコンバージョン受信機における受信特性の安定化を図ることができる。

【図面の簡単な説明】

【図1】本発明の実施例の構成例を示すブロック図。

【図2】従来受信機の構成例を示すブロック図。

【図3】QPSKのシンボル位置（I、Q偏差有り／無し）。

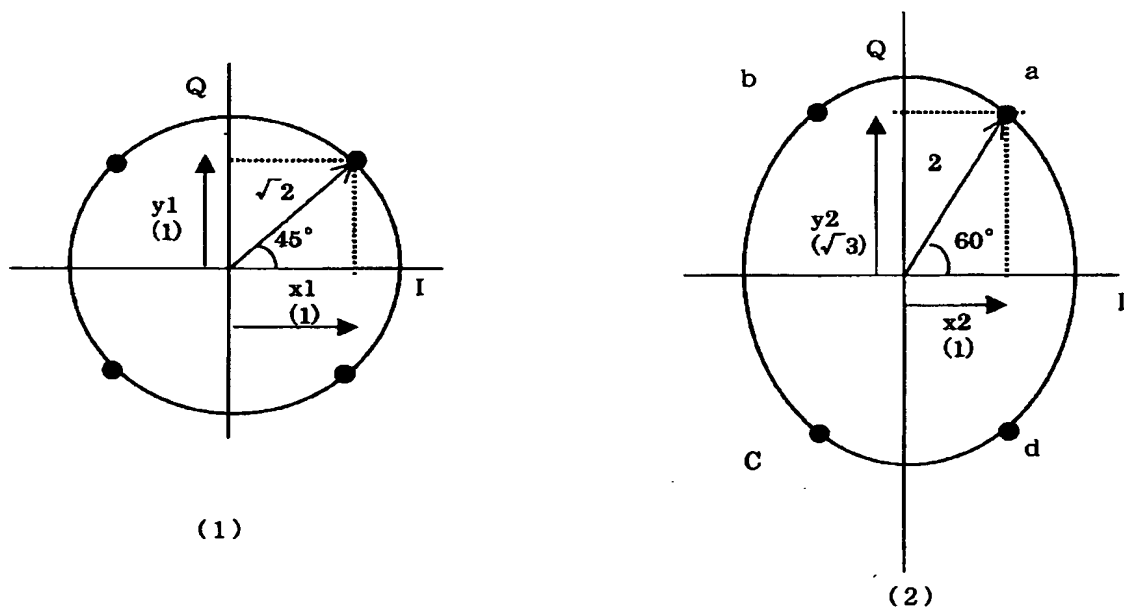
【図4】本発明の要部を示すデジタル処理部のブロック

図。

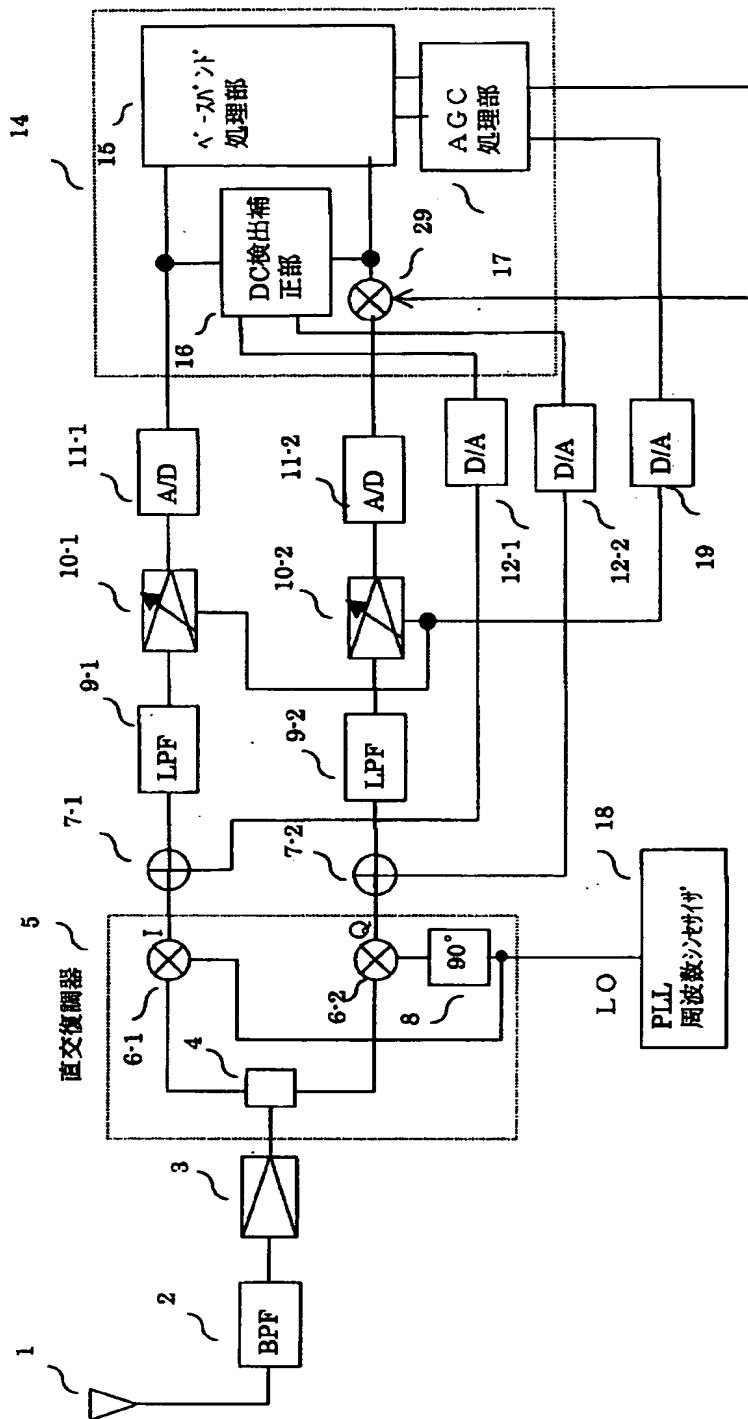
【符号の説明】

1：アンテナ、2：バンドパスフィルタ（BPF）、3：RF増幅器、4：分配器、5：直交復調器、6-1、6-2：ミキサ、7-1、7-2：加算器、8：90度移相器、9-1、9-2：ローパスフィルタ（LPF）、10-1、10-2：AGC、11-1、11-2：A/Dコンバータ、12-1、12-2、13-1、13-2、19：D/Aコンバータ、14：デジタル処理部、15：ベースバンド処理部、16：DC検出、補正部、17：AGC処理部、18：PLL周波数シンセサイザ、20-1、20-2：シンボルサンプリング回路、21：タイミング抽出回路、22：遅延検波回路、23-1、23-2、23-3：遅延素子、24-1、24-2、24-3、24-4：乗算器、25-1、25-2：加算器、26：シンボル位置検出器、27：レベル検波及びAGC制御機、28：AGC制御部、29：乗算器。

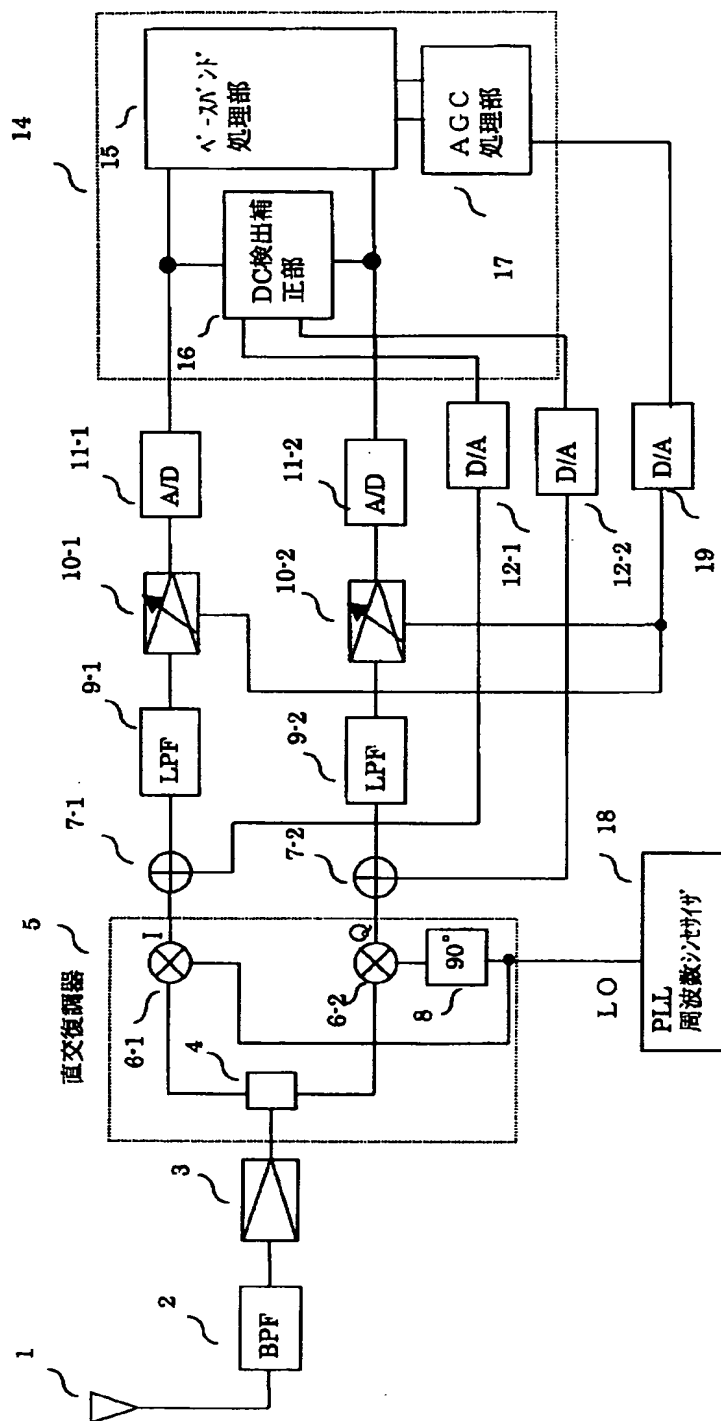
【図3】



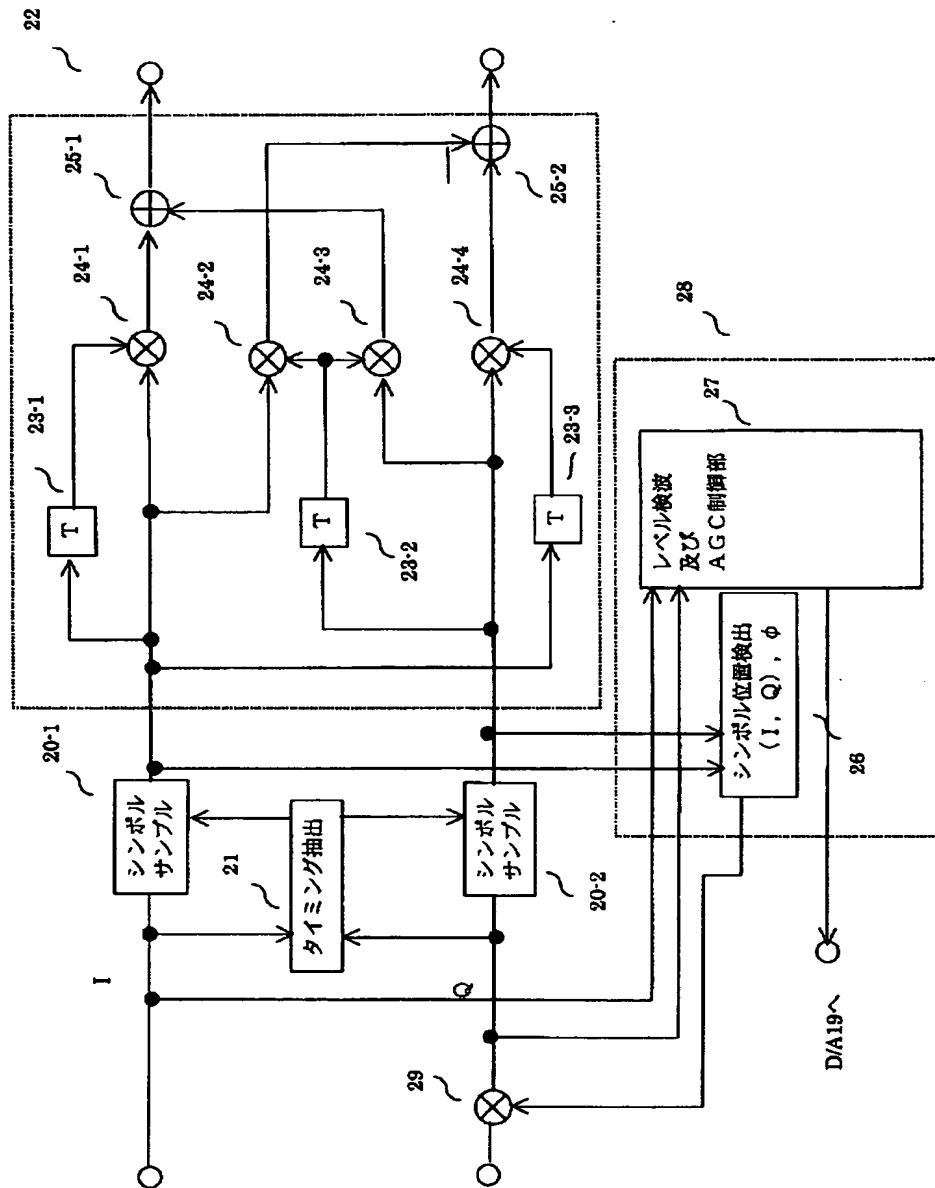
【図1】



【図2】



【図 4】



* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The analog signal processing section which band-limits and amplifies and carries out frequency conversion of the received radio frequency signal The A/D-conversion section which changes the output signal of this analog signal processing section into a digital signal, and the digital-signal-processing section which processes this digital signal It is the direct conversion receiver equipped with the above, and is an AGC means to control to keep the input level of the aforementioned analog section constant, and an AGC means to operate I component and Q component simultaneously, and an AGC means to operate either among I component and Q component are provided, and it is characterized by constituting so that the level deflection of I component and Q component may be reduced.

[Claim 2] It is the direct conversion receiver characterized by being the AGC means made to control so that the signal which received the aforementioned AGC means in the direct conversion receiver according to claim 1 is sampled for every symbol point, the position of a symbol point is computed and this symbol point becomes the same as compared with default value.

[Claim 3] The direct conversion receiver characterized by providing an AGC means to operate either among I component and Q component so that it may ask for amplitude deflection and a ratio may become the same from the ratio of I component and Q component in a direct conversion receiver according to claim 2 in the modulation technique by which a symbol point is arranged on a concentric circle.

[Claim 4] The direct conversion receiver characterized by providing an AGC means to operate either among I component and Q component so that a phase angle may be computed from I component and Q component and a phase angle may turn into the right phase angle in a direct conversion receiver according to claim 2 in the modulation technique by which a symbol point is arranged on a concentric circle.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] In a radio communications system, this invention relates to the radio communications system using the direct conversion receiver and this which are included in an usable base station, a mounted office, and a portable station, and relates to the radio communications system using a receiver and this equipped with the AGC function for detecting receiving level and receiving on fixed level especially, using a direct conversion receiving method and a LOW-IF receiving method.

[0002]

[Description of the Prior Art] By an advancement and complication of a radio communications system in recent years, the hardware which can respond to two or more radio communications systems is called for in one receiving set. In it, a direct conversion receiving method has the effect of a miniaturization and low-pricing, and is capturing the spotlight. Hereafter, the composition and the principle of operation of a direct conversion receiver are explained using drawing 2.

[0003] Among drawing, the input signal inputted from an antenna 1 is inputted into a band pass filter 2, and passes the signal of a desired frequency band. The signal which removed the disturbance wave is inputted into the RF amplifier 3, and is divided into an inphase (I) and a rectangular (Q) component by the rectangular demodulator 5. The rectangular demodulator 5 consists of a distributor 4, a mixer 6-1, and a 6 -2 or 90-degree phase shifter 8. The signal inputted into the rectangular demodulator 5 is carried out 2 ****s in power by the distributor 4. Another side is inputted into a mixer 6-1 for one side of the carrier signal inputted from the PLL frequency synthesizer 18 through a phase shifter 8 at a mixer 6-2 90 degrees. An in-phase component I signal and a quadrature-component Q signal are obtained by mixing of the carrier signal from which a phase differs 90 degrees.

[0004] An unnecessary component is removed by the low pass filter 9-1 and 9-2, and I and a Q signal are inputted into the AGC amplifier 10-1 and 10-2, respectively. The AGC amplifier 10-1 and 10-2 are small in gain, when input signal level is large, when input signal level is small, it controls to enlarge gain, and it operates so that A/D converter 11-1 and the signal level inputted into 11-2 may turn into optimal level.

[0005] As for A/D converter 11-1 and the signal changed into the digital signal by 11-2, processing of sign reproduction etc. is made in the baseband processing section 15. By the direct conversion method, since an input signal and carrier frequency (LO) are in agreement, LO leak signal serves as DC component as it is by mixing, and brings about performance degradation in recovery processing. For this reason, DC offset amendment processing is needed. In drawing 2, offset is detected using DC detection amendment section 16 from a I/Q input signal, DC voltage which cancels a part for this offset is generated in D/A converter 12-1 and 12-2, and DC offset is amended by adding to an adder 7-1 and 7-2.

[0006] In the AGC processing section 17, the level of an input signal performs the AGC amplifier 10-1 and control of 10-2. A control voltage is outputted so that desired gain may be acquired corresponding to the detected receiving level, and it controls to adjust the AGC amplifier 10-1

and the gain of 10-2, and to become input-level regularity. The above control enables it to prevent degradation of a receiving property.

[0007]

[Problem(s) to be Solved by the Invention] Generally, AGC operation only in RF band needs the high gain in a baseband band. Therefore, the noise in a baseband band will also be amplified. Therefore, when a receiving input level can secure enough, there is the need of operating the gain of a baseband band by low gain as much as possible.

[0008] Therefore, since AGC amplifier is needed for according to like the conventional direct conversion receiver, respectively when I and Q separation are made, it becomes easy to produce amplitude deflection between I and Q. When the amplitude deflection between I and Q occurred, there was a problem on which a receiving property deteriorates remarkably (increase in a bit error rate).

[0009]

[Means for Solving the Problem] the appearance and I (or Q) which detect the symbol position of the recovery signal of I and Q, and become fixed in order that this invention may solve the above-mentioned problem — an amendment — it is things, and degradation of the receiving property by the amplitude deflection between I and Q is prevented, and it aims at offering the direct conversion receiver which can be operated stably

[0010]

[Embodiments of the Invention] Hereafter, the example of this invention is explained with reference to a drawing. Drawing 1 is the block diagram showing the example of composition of the direct conversion receiver by this invention. Among drawing, the input signal inputted from an antenna 1 is inputted into a band pass filter 2, and passes the signal of a desired frequency band. The signal which removed the disturbance wave is inputted into the RF amplifier 3, and is divided into an inphase (I) and a rectangular (Q) component by the rectangular demodulator 5. The rectangular demodulator 5 consists of a distributor 4, a mixer 6-1, and a 6 -2 or 90-degree phase machine 8. The signal inputted into the rectangular demodulator 5 is carried out 2 ****s in power by the distributor 4. Another side is inputted into a mixer 6-1 for one side of the carrier signal inputted from the PLL frequency synthesizer 18 through a phase shifter 8 at a mixer 6-2 90 degrees. An in-phase component I signal and a quadrature-component Q signal are obtained by mixing of the carrier signal from which a phase differs 90 degrees.

[0011] An unnecessary component is removed by the low pass filter 9-1 and 9-2, and I/Q signal is inputted into the AGC amplifier 10-1 and 10-2, respectively. The AGC amplifier 10-1 and 10-2 are small in gain, when input signal level is large, when input signal level is small, it operates so that gain may be enlarged, and it is controlling so that A/D converter 11-1 and the signal level inputted into 11-2 turn into optimal level, and a dynamic range can be secured. As for the signal changed into the digital signal by A/D converter 11-1 and 11-2, processing of sign reproduction etc. is made in the baseband processing section 15. For DC offset amendment processing, offset is detected from I and Q input signal in DC detection amendment section 16, D/A converter 12-1 and 12-2 are controlled, voltage is generated, and this offset voltage is canceled.

[0012] Next, AGC operation is explained using drawing 3 and drawing 4 . Drawing 3 (1) shows the symbol point arrangement at the time of restoring to a QPSK signal. In drawing 3 , when there is no gain difference in I and the Q signal to which it restored, as shown in (1), the symbol point of I and Q is located in a line on a concentric circle at equal intervals. However, when a gain difference is in I and Q, as shown in (2), a difference arises in the amplitude of I and Q and it becomes an ellipse. Then, the amendment function of an amendment sake is needed in this gain difference.

[0013] Furthermore, the AGC method operated to input-level change is explained briefly.

Drawing 4 shows the differentially-coherent-detection circuit and the AGC processing section 17 which are a part of baseband processing circuit shown in the digital processing section 14 shown by drawing 1 . A symbol clock is reproduced by the timing extraction circuit 21 which shows I inputted into A/D 11-1 of drawing 1 , and A/D 11-2, and Q baseband signaling to drawing 4 . Using this clock, data are sampled for every symbol point by the symbol sampling circuit 20-1 and 20-2, and it is inputted into the differentially-coherent-detection circuit 22. A

signal is detected by the differentially-coherent-detection circuit 22.

[0014] The differentially-coherent-detection circuit 22 consists of the delay machine 23-1, 23-2, 23-3, a multiplier 24-1, 24-2, 24-3, 24-4, an adder 25-1, and 25-2, and decodes the signal by which differential coding was carried out from the signal in front of the present symbol and 1 symbol. Then, data are reproduced by polar judgment etc. Moreover, I and Q baseband signaling which were inputted into A/D 11-1 and A/D 11-2 are inputted into level detection and the AGC control circuit section 27, and detect receiving level. Corresponding to the detected receiving level, D/A19 is controlled, and it controls so that AGC voltage is changed and receiving level becomes fixed.

[0015] Next, I by this invention and AGC operation at the time of Q deflection generating are explained. A part of sampled signal is inputted into the symbol point detector 26 for every symbol. Here, the position of a symbol point is calculated, and when it differs as compared with the expected value currently computed beforehand, it carries out adjustable [of the gain] only for the Q side so that it may become constant value (or only in case of the I side). At this example, gain deflection is amended by multiplying a constant to the Q signal inputted into the multiplier 29. In modulation techniques, such as QPSK, and $\pi/4$ shifts QPSK, since there is no symbol with the same phase angle, I and Q deflection are easily detectable by detecting the phase angle in a symbol point.

[0016] Drawing 3 is the example of a QPSK modulation. When there is no gain difference in I and Q like drawing 3 (1), it turns out that each symbol point takes the phase angle of 45 degrees, 135 degrees, 225 degrees, and 315 degrees by distance $\sqrt{2}$. However, supposing Q generates $\sqrt{3}$ times as many amplitude error as this now, it will become symbol point arrangement like drawing 3 (2). When only the distance of a symbol is seen and a phase angle is seen although each symbol (a, b, c, d) is distance "2" and is equal, as Symbol a, it turns out that it became 60 degrees and has shifted from the expected value of 45 degrees. Then, amendment of an amplitude error can be performed by fixing I and doubling the Q side ($1/\sqrt{3}$). With the symbol point detector 26, the gap with 45 expected value of a symbol position, 135 degrees, 225 degrees, and 315 degrees is computed by computing a phase angle ϕ ($\text{ATAN}(y2/x2)$) from signal $x2$ of I and Q to which it restored, and $y2$.

[0017] Moreover, like QPSK, when the absolute value of the amplitude value of I and Q is equal, comparison of $|x2|$ and $|y2|$ can also compute a gain difference. Thus, in the modulation technique by which the symbol point has been arranged on a concentric circle, the amplitude deflection of I and Q is detectable by computing a phase angle.

[0018] Moreover, it is not necessary to limit the place of amendment to the digital processing section, and the analog section (before being inputted into D/A) is also possible for it.

[0019]

[Effect of the Invention] According to this invention, by controlling to maintain the phase angle in a symbol point at a predetermined value, even if I and the amplitude difference of a Q signal to which it restored occur, I and Q amplitude error can be made into the minimum, and stabilization of the receiving property in a direct conversion receiver can be attained.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The block diagram showing the example of composition of the example of this invention.

[Drawing 2] The block diagram showing the example of composition of a receiver conventionally.

[Drawing 3] The symbol position of QPSK (I, those with Q deflection / ****).

[Drawing 4] The block diagram of the digital processing section showing the important section of this invention.

[Description of Notations]

An antenna, 2 : 1: A band pass filter (BPF), 3:RF amplifier, 4: -- a distributor, 5:rectangular cross demodulator, 6-1, a 6-2:mixer, 7-1, and a 7-2:adder -- A 8:90-degree phase shifter, 9-1, 9-2 : A low pass filter (LPF), 10-1, 10-2:AGC, 11-1, 11-2 : An A/D converter, 12-1, 12-2, 13-1, 13-2, 19:D/A converter, 14: The digital processing section, 15 : The baseband processing section, 16:DC detection, The amendment section, the 17:AGC processing section, 18 :P LL frequency synthesizer, 20-1, 20-2 : [Symbol sampling circuit,] 21: A timing extraction circuit, 22:differentially-coherent-detection circuit, 23-1, 23-2, 23-3 : A delay element, 24-1, 24-2, 24-3, a 24-4:multiplier, 25-1, a 25-2:adder, 26:symbol position transducer, 27:level detection and an AGC control machine, a 28:AGC control section, 29: Multiplier.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

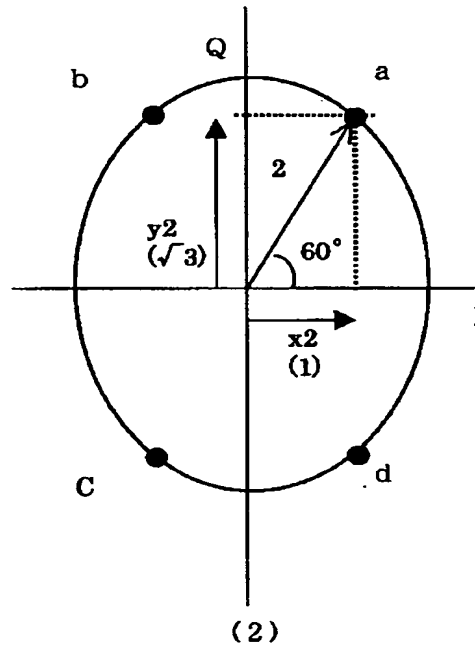
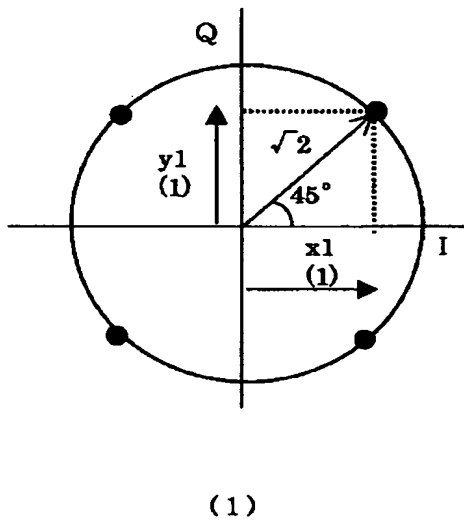
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

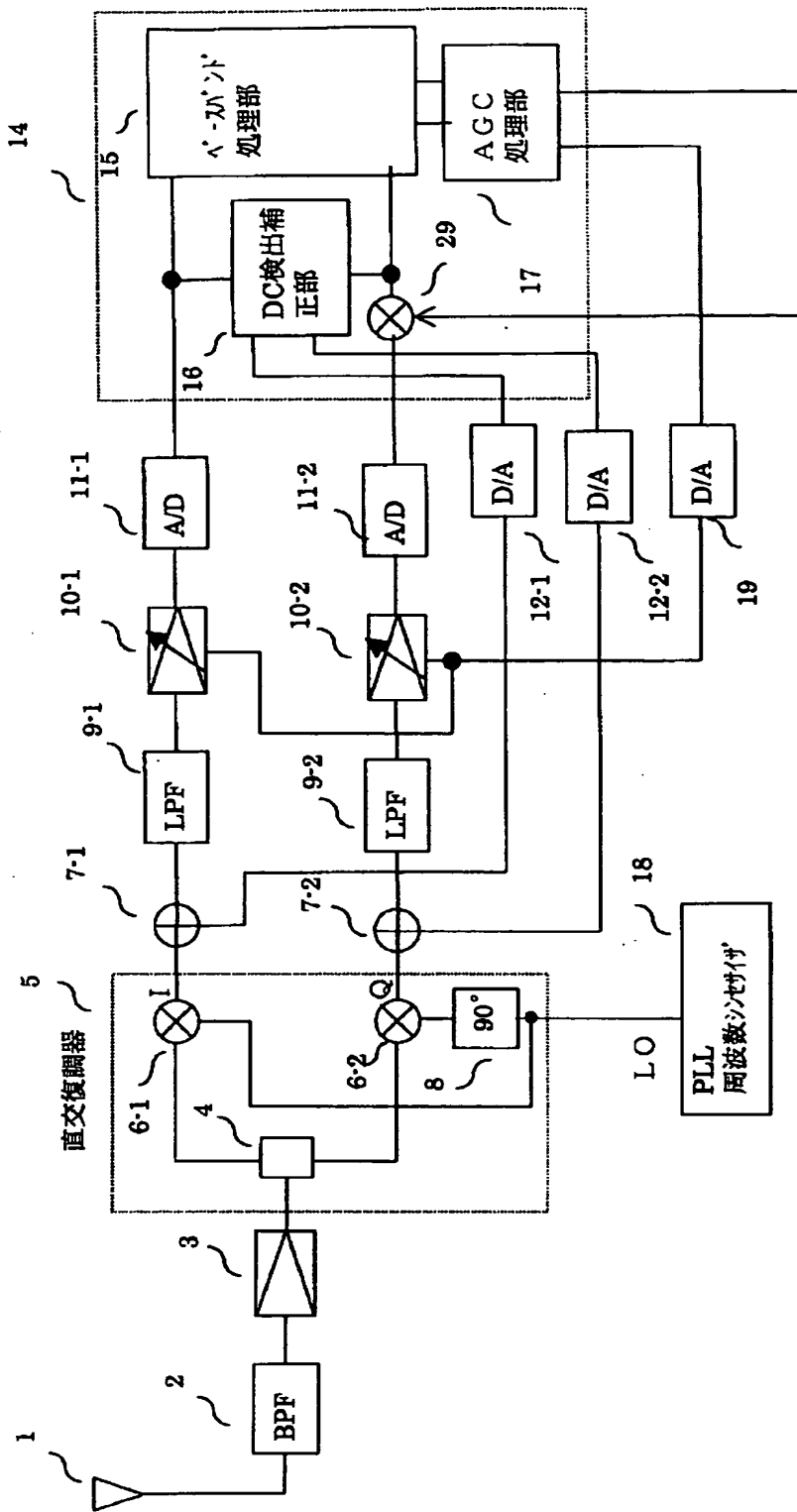
3.In the drawings, any words are not translated.

DRAWINGS

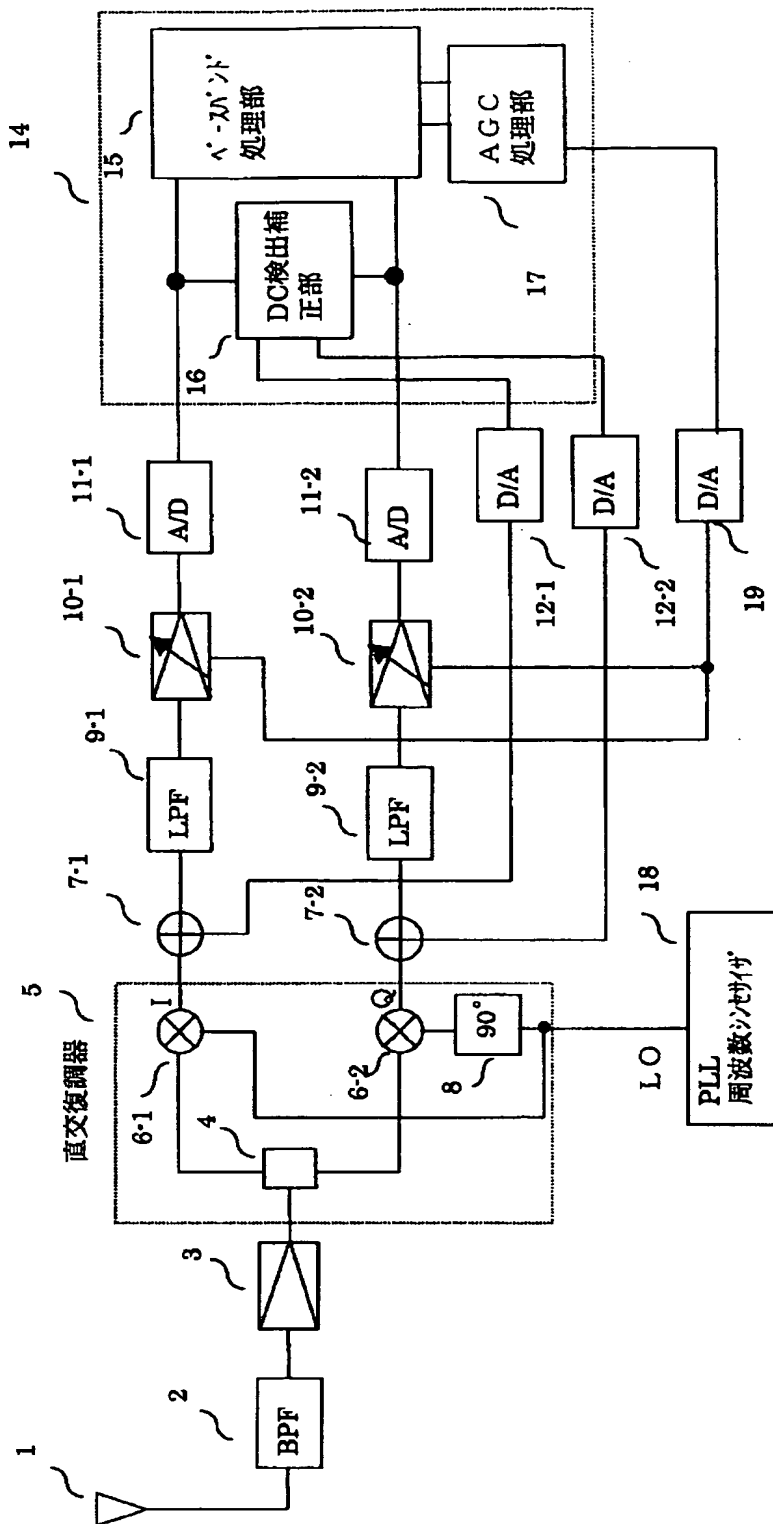
[Drawing 3]



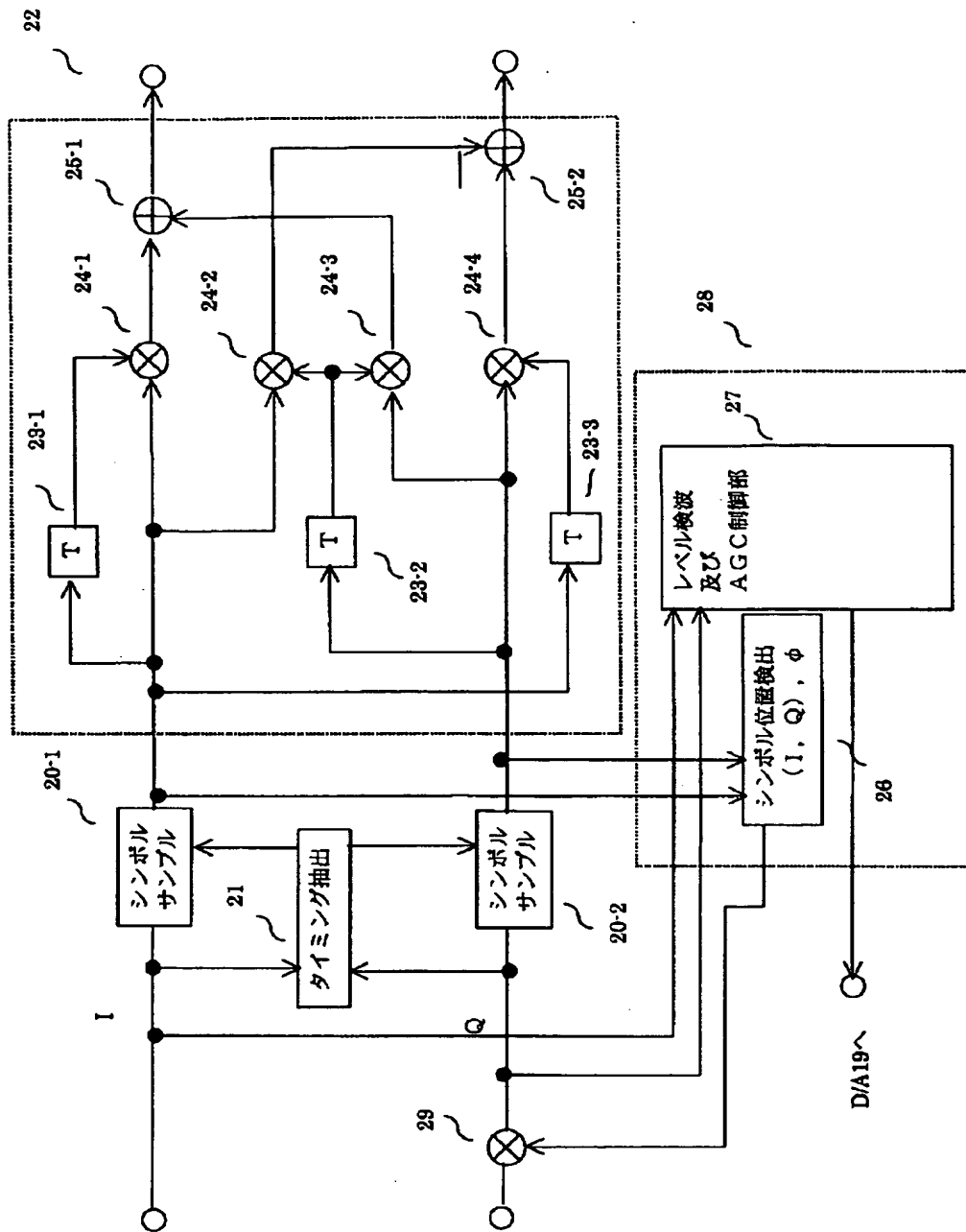
[Drawing 1]



[Drawing 2]



[Drawing 4]



[Translation done.]